Prova Finale ( Progetto di reti logiche) - Anno Accademico 2018-2019

Nome : frANCESCO

COGNOME: CECCHETTI

MATRICOLA: 000000

codice persona: 1111111

A.A 2018-2019

# Titolo 1

Sommario

[Titolo 1 1](#_Toc7703307)

[Titolo 2 1](#_Toc7703308)

**Struttura Generale**

Il progetto è stato sviluppato attraverso l’implementazione in VHDL di una *FSM*(Finite State Machine), più precisamente di una macchina di Mealy, in quanto la funzione del segnale di output non è sempre determinata esclusivamente dallo stato in cui si trova, ma anche dall’input del componente.

Nell’implementazione in VHDL, è stata effettuata la scelta di basare l’automa a stati finiti su 3 processi, scelta che trova la sua origine in un’ottica basata sulla estrema specializzazione di questi ultimi.

….

…

…

…

**MACCHINA A STATI**

SCHEMA + SPEIGAZIONE DEGLI STATI

…

….

…

..

**CASI DI TEST PARTICOLARI**

…

…

…